

星载图像压缩系统中实时二维小波变换的 FPGA 设计与实现

王鸣哲^{1,2}, 薛长斌², 张学全²

(1 中国科学院大学, 北京 100190; 2 中国科学院 国家空间科学中心, 北京 100190)

摘 要: CCSDS 空间图像压缩标准中采用了三级二维小波变换, 此变换适合在可编程逻辑电路上实现. 本文提出了一种能够满足实时处理要求的二维 5/3 小波变换的硬件架构. 该架构利用了小波变换的局域性, 采用流水线设计, 实现了行变换与列变换的同时执行, 并且在多级小波变换的架构中也采用了流水线设计. 本文架构能够显著减少对图像的反复缓存所造成的时间延迟和片外 RAM 的使用量, 提高了变换速率, 并且充分利用了 FPGA 片内资源, 降低片外 RAM 的使用需求. 本文架构经验证能够为后续的数据编码和传输提供有利条件, 可以满足对图像进行实时处理的速度要求.

关键词: CCSDS 图像压缩标准; 提升小波变换; 实时性; FPGA

中图分类号: TN911.7

文献标识码: A

文章编号: 1000-7180(2017)07-0033-04

FPGA Design and Implementation of Real-time 2D-DWT in Space Image Compression System

WANG Ming-zhe^{1, 2}, XUE Chang-bin², ZHANG Xue-quan²

(1 University of Chinese Academy of Sciences, Beijing 100190, China;

2 National Space Science Center, Chinese Academy of Sciences, Beijing 100190, China)

Abstract: The standard recommended by CCSDS for space image compression includes a three-level two-dimensional discrete wavelet transform, which is suitable for design and implementation on logical circuit. In this article, a VLSI architecture of 5/3 2D-DWT is proposed, which can meet the demand of real-time processing. This structure adopts pipelined designing and uses the localization of wavelet to compute row and column transform in the same time. As for three-level discrete wavelet transform, this structure adopts pipelined designing either. This structure can reduce the memory usage and the delay of read and write, increase the speed of wavelet transform, make full use of logical resources of FPGA, and reduce the demand of external RAM. Experiment results show that this structure can meet the demand of real-time processing entirely, and provided favorable conditions for coding and transmission.

Key words: CCSDS recommended standard for image data compression; lifting wavelet; real-time; FPGA

1 引言

随着星载 CCD 成像技术的发展, 卫星图像的分辨率越来越高, 星上大量的图像数据给有限的卫星储存容量和传输带宽带来了巨大的压力. 为了解决这个问题, 空间数据系统咨询委员会 (CCSDS) 于 2005 年提出了新的空间图像压缩标准^[1]. 该标准采用了定点或浮点 9/7 小波将图像的能量集中在低频子带, 然后应用位平面编码对小波系数进行压缩. 其

算法性能同 JPEG2000 基本相当^[2]. 该算法能够应用于卫星中的高速设备, 具有较高的图像压缩性能和较低的算法复杂度与硬件实现复杂度, 并可由 FPGA、DSP、ASIC 实现^[1].

本文基于 FPGA 进行多级小波变换的设计与实现. 由于 5/3 提升小波变换相对于 9/7 小波变换能够更加节省逻辑资源, 实现更为简单, 启动延时更短, 因此, 本文首先分析了 5/3 小波变换的特点, 然后设计了一种基于 FPGA 的实时二维 5/3 小波变

换的实现方法以及多级变换的硬件架构,并且分析了它的性能,进行了仿真验证.该架构利用了小波变换的局域性,采用流水线设计,实现了行变换与列变换的同时执行.

2 CCSDS 图像压缩标准算法介绍

CCSDS 122.0-B-1 图像压缩标准于 2005 年 11 月正式制定.该标准支持有损和无损压缩,支持 16 比特位的数据宽度.如图 1 所示,其算法大致可以分为两个阶段:离散小波变换阶段与位平面编码阶段.该标准首先采用三级二维离散小波变换完成对图像的去相关处理,然后通过位平面编码器实现对小波系数的压缩编码.

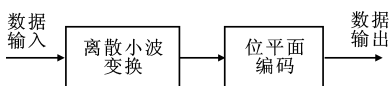


图 1 CCSDS 图像压缩标准原理图

CCSDS 标准中采用 9/7 定点小波或 9/7 浮点小波变换实现二维小波变换.其中,浮点小波变换在低比特率下压缩效果略好于定点小波,但不能实现无损压缩,且在 FPGA 上实现十分困难;定点小波变换可以实现无损压缩,而且定点小波变换能够显著地减少计算复杂度和硬件实现复杂度,非常适合星载环境图像数据压缩的应用^[2].在 JPEG2000 图像压缩标准中,采用了 5/3 定点小波进行五级二维变换^[3].由于 9/7 小波滤波器的抽头系数多于 5/3 小波,每一个输出点需要更多的输入点进行运算,在运算开始时需要缓存更多的数据,启动延时较长.因此,5/3 小波相对于 9/7 小波,能够更加节省逻辑资源,实现更为简单,启动延时更短.基于以上原因,本文将以 5/3 定点小波为基础进行算法设计.

5/3 定点提升小波的正向分解公式为^[4]:

$$D_j = x_{2j+1} - \left[\frac{1}{2}(x_{2j} + x_{2j+2}) + \frac{1}{2} \right] j = 1, \dots, N-1 \quad (1)$$

$$C_j = x_{2j} - \left[-\frac{D_{j-1} + D_j}{4} + \frac{1}{2} \right] j = 1, \dots, N-2 \quad (2)$$

为了解决有限长度数据处理中的边界问题,必须对原始数据的边界进行对称延拓.因此,在数据边界上,5/3 定点提升小波的正向分解公式为

$$D_{N-1} = x_{2N-1} - \left[x_{2N-2} + \frac{1}{2} \right] \quad (3)$$

$$C_0 = x_0 - \left[-\frac{D_0}{2} + \frac{1}{2} \right] \quad (4)$$

3 二维图像的 5/3 小波变换架构设计

二维图像的小波变换,一般采用的处理方法是直接法^[5],即为重复运用一维小波变换的方法来实现二维变换.但由于在星上图像实时传输的过程中,图像逐行输入,其行变换与列变换不能同时进行,因此在行变换时,需要一片 RAM 来缓存行变换系数,待行变换完成后才能开始进行列变换,文献[6]对该方法进行了分析和验证.若采用此方法,大小为 $N \times M$ 的图像至少需要 $2 \times N \times M$ 个时钟才能完成运算,并且对行变换系数的缓存会造成大量时间延迟.若行变换与列变换之间能够形成流水结构,则可以大幅提高变换速率,并省去此 RAM.

由于小波存在局域性,通常只需少数几个输入点,对应的小波变换系数就可以完成运算,因此列变换无需等待行变换运算完成.为了能够满足列变换的计算条件,只需将行变换的输出结果缓存较少的几行,就可以开始列变换.

基于小波的局域性,行变换与列变换同时进行计算的二维小波变换模块结构如图 2 所示.图像数据逐点输入行变换模块,其计算结果存入行缓存,当缓存的行变换系数满足列变换所需的数量时,列变换由控制模块启动,此时行变换与列变换的计算将同时进行,直到变换全部完成.

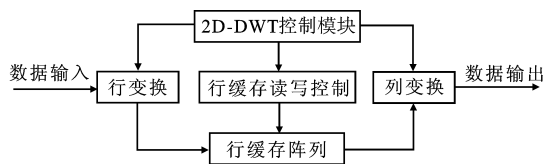


图 2 二维小波变换模块结构

3.1 行变换模块结构设计

由式(1)~式(4)可知,5/3 小波变换的计算由乘法和取整运算组成.在逻辑电路中,分母项为 2 的整数次幂的乘法和取整运算可由移位运算实现.因此,小波的正向分解公式可变换为式(5、6),其运算中只包含加法和移位,相对于乘法器,能够减少资源占用,并提高变换速率.

$$D_j = x_{2j+1} - (x_{2j} + x_{2j+2} + 1) >>> 1 \quad j = 1, \dots, N-1 \quad (5)$$

$$C_j = x_{2j} - (-D_{j-1} + D_j + 2) >>> 2 \quad j = 1, \dots, N-2 \quad (6)$$

行变换模块内部结构设计如图 3. $X_5 \sim X_1$ 为五个数据寄存器,每个周期输入一个数据,数据由外部输入,并由 5 个寄存器按照时钟依次向前传递.由式

级变换也是如此. 每一帧变换完毕后, 由后续的编码模块从 RAM 中读取该帧的数据, 进行后续的编码过程.

5 仿真及综合及性能分析

5.1 一级二维小波变换架构的仿真与综合

为了验证与测试本文所设计的一级二维小波变换架构, 本文采用了大小为 8×8 的 8 位灰度图像, 采用 Xilinx XC2V3000 芯片进行综合, 并使用 Modelsim 10.1c 软件进行逻辑仿真验证. 一级二维 5/3 小波变换仿真结果在图像输入 3 行之后, 小波变换开始进行运算. 当第 3 行的行变换完成后, 列变换开始运算, 并将结果输出至 rc_dout. 输出模块将 rc_dout 按照四个子带进行拆分, 并输出至 HH_dout、LH_dout、HL_dout、LL_dout, 并为下一级变换做准备.

该架构在进行小波变换时, 在图像数据输入结束后, 仅需约 4 行的延迟变换即可完成, 且这部分时间延迟与输入图像的大小无关. 因此图像越大, 延迟时间的比例越小, 对于 2048×2048 大小的图像, 延迟仅占总变换时间的 $1/512$, 可以满足实时运算的要求. 在图像较大的情况下, 对于 $N \times M$ 的图像, 数据输入需要 $N \times M$ 个周期, 而图像输入完成后所需的变换时间仅为 $4N$.

本文所设计的二维小波变换架构综合后所占用的芯片资源以及对于 8×8 的灰度图像的变换时间如表 1 所示, 本文所采用的 5/3 小波变换较 9/7 小波变换所占用的资源更少, 启动速度更快.

表 1 一级二维小波变换架构的资源占用

项目	5/3 小波		9/7 小波	
	数量	比例/%	数量	比例/%
Slices	560	3	672	4
Slice Flip Flops	419	1	503	1
LUTs	989	3	1 086	3
RAMB16s	6	6	8	8
运算周期 (clk)	120		160	

5.2 三级二维小波变换架构的仿真与综合

对于三级二维小波变换架构的仿真, 采用了大小为 32×32 与 128×128 的 8 位灰度图像. 对大小为 32×32 的图像的仿真结果表明, 该架构在进行小波变换时, 每一级变换在上一级变换完成后, 还需进行 4 行的数据运算才能完成, 由于每一级变换的列数为上一级的一半, 数据输入结束后, 仅需约 7 行的

延迟时间后变换即可完成. 对于 2048×2048 大小的图像, 延迟仅占总变换时间的 $7/2048$. 在图像较大的情况下, 对于 $N \times M$ 的图像, 图像输入完成后所需的变换时间仅为 $7N$ 个周期.

该架构综合后所占用的芯片资源以及对于 128×128 的 8 位灰度图像的变换时间如表 2 所示. 相对于本文所设计的架构, 三级折叠式小波变换^[8]所占片内逻辑资源较少, 但需要更多的片外 RAM 对图像数据进行缓存. 由于节省了对图像的反复缓存所占用的大量时间, 本文架构在数据输入速率相同的情况下, 占用的外部资源少, 变换速率快, 但占用的片内逻辑资源较多. 在片内资源允许的情况下, 本文架构能够更好地满足实时性的要求, 在原图像输入完成后, 仅需额外约 0.7 k 个时钟变换即可完成.

表 2 三级二维小波变换架构的资源占用

项目	本文架构		折叠式小波变换 ^[8]	
	数量	比例/%	数量	比例/%
Slices	1 652	11	863	6
Slice Flip Flops	1 215	4	1 119	3
LUTs	2 913	10	1 564	5
BRAMs	18	18	8	8
片外 RAM	1 片		3 片	
图像输入周期			16.5 k	
运算周期 (clk)	17.2 k		23.1 k	

6 结束语

为了解决卫星图像数据对有限的卫星储存容量和传输带宽造成的压力, 本文基于 CCSDS 图像压缩标准, 提出了一种能够满足实时处理要求的二维 5/3 小波变换算法的硬件结构, 该架构利用了小波变换的局域性, 采用流水线设计, 实现了行变换与列变换的同时执行, 对于三级小波变换, 也采用了流水线设计. 相对于传统的复用滤波器进行多级变换的结构, 本文结构能够减少存储器的使用量 and 对其访问造成的时间延迟, 在 FPGA 逻辑资源允许的情况下, 大幅提高了变换速度, 充分利用 FPGA 片内存储资源, 降低片外 RAM 的使用需求. 相对于 CCSDS 图像压缩标准中采用的 9/7 小波变换, 本文架构所占用的资源更少, 启动速度更快. 经验证, 对于 $N \times M$ 的图像, 在数据输入完成后, 仅需 $7M$ 个时钟即可变换完毕. 因此, 该架构能够为后续的数据编码和

(下转第 41 页)

常广阔的应用前景. 所以,在 RoF 系统中起到关键作用的射频光模块具有很大的研究价值. 同时,该光模块在整个频带内的指标也需进一步的改善,高频段的损耗尽量控制在更小的程度,以得到性能更好的光电转换系统.

参考文献:

[1] 余建国, 龚珉杰, 张明. 光载无线通信技术的发展与应用前景[J]. 中兴通讯技术, 2009, 15(3):17-20.

[2] 刘思湛. ROF 光收发模块研究[D]. 成都:电子科技大学, 2011.

[3] 汤兆星. 宽带低成本模拟光收发模块设计与光载无线系统应用[D]. 北京:北京邮电大学, 2013.

[4] 方磊. 基于直接调制 DFB 激光器的 RoF 链路收发模块研究[D]. 大连:大连理工大学, 2013.

[5] Tang Zhaoxing. A cost-effective broadband RoF transceiver based on COTS GbE optical components[C]// Microwave Photonics (MWP), 2012 International Topical Meeting on. Noordwijk, Netherland, IEEE, 2012: 148-151.

[6] Haddad, Ahmed, Maurice Gagnaire. Radio-over-Fiber (RoF) for mobile backhauling: a technical and eco-

nomie comparison between analog and digitized RoF [C]// Optical Network Design and Modeling, 2014 International Conference on. [s. l],IEEE, 2014.

[7] Koonen A M. Perspectives of radio-over-fiber technologies[C]// Optical Fiber Communication Conference. Optical Society of America. San Diego ,2008.

作者简介:

杨立杰 女,(1990-),硕士研究生. 研究方向为射频光收发模块系统级封装及信号完整性分析.

李宝霞 女,(1977-),博士,副研究员. 研究方向为光互连技术和高密度 SOP 系统封装技术.

刘丰满 男,(1980-),博士,副研究员. 研究方向为光电集成设计、射频系统级封装及 MEMS 器件封装.

陆 原(通讯作者) 男,(1957-),博士,研究员,千人计划. 研究方向为先进微电子封装、MEMS 器件封装及光电器件封装等. E-mail:luyuan@ime. ac. cn.

曹立强 男,(1974-),博士,研究员. 研究方向为系统级封装 sip 工艺设计.

谭 同 男,(1993-),硕士研究生. 研究方向为光收发模块系统级封装设计及信号完整性分析.

(上接第 36 页)

传输提供有利条件,并满足对图像进行实时处理的速度要求.

参考文献:

[1] CCSDS. Recommended standard for image data compression[S]. Washington DC, USA; CCSDS 122. 0-B-1, 2005.

[2] CCSDS. Report concerning image data compression, [R]. Washington DC, USA; CCSDS 120. 1-G-1, 2007.

[3] Skodras A, Christopoulos C, Ebrahimi T. The JPEG 2000 still image compression standard[J]. IEEE Signal Processing Magazine, 2010,18(5):36-58.

[4] 张旭东. 图像编码基础和小波压缩技术[M]. 北京:清华大学出版社, 2004.

[5] Chakrabarti C, Vishwanath M, Owens R M. Architectures for wavelet transforms: a survey[J]. Journal

of VLSI Signal Processing Systems for Signal Image and Video Technology, 1996,14(2):171-192.

[6] 任思颖. JPEG 2000 中 5/3 离散小波多层变换 FPGA 实现研究[J]. 现代电子技术, 2011,34(12):75-82.

[7] Weeks M, Bayoumi M. Discrete wavelet transform: architectures, design and performance issues [J]. Journal of VLSI Signal Processing Systems for Signal Image and Video Technology, 2003,35(2):155-178.

[8] 张学全,陈晓敏. CCSDS 中二维整数小波变换的 FPGA 实现方法[J]. 半导体光电, 2012,33(5):747-751.

作者简介:

王鸣哲 男,(1992-),硕士研究生. 研究方向为 FPGA、数字图像处理与应用. E-mail:wangmingzhe@hotmail. com.

薛长斌 男,(1972-),博士,研究员. 研究方向为信号与信息处理技术.

张学全 男,(1979-),博士. 研究方向为空间综合电子信息系统.